

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

11190833

Basic Patent (No,Kind,Date): EP 544229 A1 19930602 <No. of Patents: 008>

THIN FILM TRANSISTOR DEVICE FOR DRIVING CIRCUIT AND MATRIX
CIRCUIT (English; French; German)

Patent Assignee: CASIO COMPUTER CO LTD (JP)

Author (Inventor): MATSUMOTO HIROSHI (JP)

Designated States : (National) DE; FR; GB

IPC: *H01L-027/12; G02F-001/133

Derwent WPI Acc No: G 93-177029

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
DE 69226334	C0	19980827	DE 69226334	A	19921124
DE 69226334	T2	19981203	DE 69226334	A	19921124
EP 544229	A1	19930602	EP 92119988	A	19921124 (BASIC)
EP 544229	B1	19980722	EP 92119988	A	19921124
JP 5142577	A2	19930611	JP 91334597	A	19911125
JP 2650543	B2	19970903	JP 91334597	A	19911125
KR 9702119	B1	19970222	KR 9220679	A	19921105
US 5323042	A	19940621	US 975852	A	19921113

Priority Data (No,Kind,Date):

JP 91334597 A 19911125

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04150877 **Image available**

MATRIX CIRCUIT DRIVING DEVICE

PUB. NO.: 05-142577 [JP 5142577 A]

PUBLISHED: June 11, 1993 (19930611)

INVENTOR(s): MATSUMOTO HIROSHI

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-334597 [JP 91334597]

FILED: November 25, 1991 (19911125)

INTL CLASS: [5] G02F-001/136; G02F-001/1345; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA); R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1617, Vol. 17, No. 526, Pg. 58, September 21, 1993 (19930921)

ABSTRACT

PURPOSE: To sufficiently raise a turn-on current of a thin film transistor for a driving circuit part, and also, to sufficiently lower a cut-off current of a thin film transistor for a matrix part.

CONSTITUTION: In the case of a thin film transistor of an LDD structure, a turn-on current $I_{\text{sub on}}$ becomes high as impurity concentration of a low concentration impurity source-drain area increases, and reaches the vicinity of the maximum point in the part of impurity concentration Y. On the other hand, a cut-off current $I_{\text{sub off}}$ becomes about minimum in the part in which impurity concentration of the low concentration impurity source-drain area is X($X < Y$), and becomes high gradually even if the impurity concentration increases or decreases. Therefore, this device is constituted so that the impurity concentration of the low concentration impurity source-drain area of a thin film transistor for a peripheral circuit becomes Y, and also, the impurity concentration of the low concentration impurity source-drain area of a thin film transistor for a matrix circuit part becomes X.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-142577

(43)公開日 平成5年(1993)6月11日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1345		9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A
			審査請求 未請求 請求項の数7(全 7 頁)	

(21)出願番号 特願平3-334597

(22)出願日 平成3年(1991)11月25日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 松本 広

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

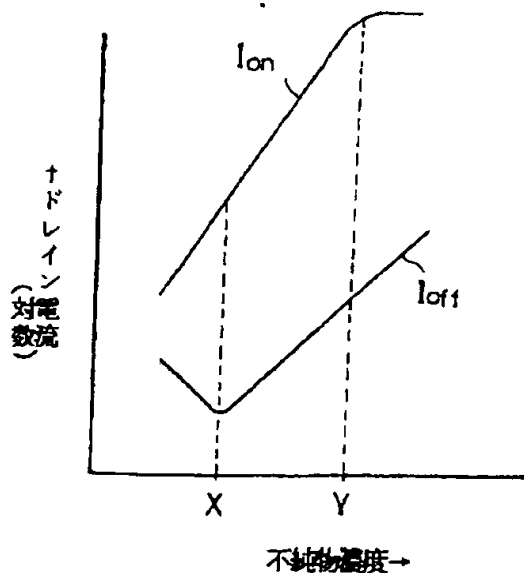
(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 マトリクス回路駆動装置

(57)【要約】

【目的】 駆動回路部用薄膜トランジスタのオン電流を十分に高くすると共に、マトリクス部用薄膜トランジスタのカットオフ電流を十分に低くする。

【構成】 LDD構造の薄膜トランジスタの場合、オン電流 I_{on} は低濃度不純物ソース・ドレイン領域の不純物濃度が增大するに従って大きくなり、不純物濃度 Y のところで最大点近傍に達する。一方、カットオフ電流 I_{off} は低濃度不純物ソース・ドレイン領域の不純物濃度が X ($X < Y$) のところでほぼ最小となり、これよりも不純物濃度が増大しても減少しても漸次大きくなる。そこで、周辺回路部用薄膜トランジスタの低濃度不純物ソース・ドレイン領域の不純物濃度が Y となるようにすると共に、マトリクス回路部用薄膜トランジスタの低濃度不純物ソース・ドレイン領域の不純物濃度が X となるようにする。



(2)

特開平5-142577

1

2

【特許請求の範囲】

【請求項1】 マトリクス回路部とこのマトリクス回路部を駆動する周辺回路部とを電界効果型の薄膜トランジスタで形成したマトリクス回路駆動装置において、前記マトリクス回路部と前記周辺回路部に形成する薄膜トランジスタをそれぞれドレイン領域が高濃度不純物領域と低濃度不純物領域を有するLDD構造とし、かつ前記周辺回路部に形成される薄膜トランジスタの低濃度不純物領域の不純物濃度を前記マトリクス回路部に形成される薄膜トランジスタの低濃度不純物領域の不純物濃度よりも大きくしたことを特徴とするマトリクス回路駆動装置。

【請求項2】 前記周辺回路部に形成される薄膜トランジスタの低濃度不純物領域の不純物濃度をオン電流の最大点近傍としたことを特徴とする請求項1記載のマトリクス回路駆動装置。

【請求項3】 前記マトリクス回路部に形成される薄膜トランジスタの低濃度不純物領域の不純物濃度をカットオフ電流のほぼ最小点としたことを特徴とする請求項1記載のマトリクス回路駆動装置。

【請求項4】 前記周辺回路部と前記マトリクス回路部に形成される薄膜トランジスタは共にNMOS薄膜トランジスタからなることを特徴とする請求項1記載のマトリクス回路駆動装置。

【請求項5】 前記周辺回路部に形成される薄膜トランジスタはCMOS薄膜トランジスタからなり、前記マトリクス回路部に形成される薄膜トランジスタはNMOS薄膜トランジスタからなることを特徴とする請求項1記載のマトリクス回路駆動装置。

【請求項6】 前記マトリクス回路部および前記周辺回路部は1枚の基板上に形成されていることを特徴とする請求項1記載のマトリクス回路駆動装置。

【請求項7】 前記マトリクス回路部は液晶表示装置のマトリクス回路部であることを特徴とする請求項1記載のマトリクス回路駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は液晶表示装置等におけるマトリクス回路駆動装置に関する。

【0002】

【従来の技術】 例えばアクティブマトリクス型の液晶表示装置には、マトリクス回路部とこのマトリクス回路部を駆動する周辺回路部とを電界効果型の薄膜トランジスタで形成したマトリクス回路駆動装置を備えたものがある。図4は従来のこのようなマトリクス回路駆動装置の回路構成の一例を示したものである。このマトリクス回路駆動装置は、マトリクス回路部1、アドレスバスドライバとしての一方の周辺回路部2、データバスドライバとしての他方の周辺回路部3を備えている。このうちマトリクス回路部1は、行方向に走査電極4が列方向に表

示電極5がそれぞれ設けられ、走査電極4と表示電極5との各交点に対応する各画素（液晶）6ごとにマトリクス回路部用薄膜トランジスタ7が設けられた構造となっている。一方の周辺回路部2は、走査電極4の一端部に接続された一方の周辺回路部用薄膜トランジスタ（図示せず）を備えている。他方の周辺回路部3は、表示電極5の一端部に接続された他方の周辺回路部用薄膜トランジスタを備えている。そして、マトリクス回路部用薄膜トランジスタ7がオンになると、画素6の静電容量部に表示データが電荷の形で書き込まれ、マトリクス回路部用薄膜トランジスタ7がオフになると、書き込まれた電荷により所定時間画素6が駆動されるようになっている。

【0003】

【発明が解決しようとする課題】 ところで、このようなマトリクス回路駆動装置では、マトリクス回路部用薄膜トランジスタと周辺回路部用薄膜トランジスタとで要求される特性に違いがあり、周辺回路部用薄膜トランジスタの場合、スイッチング速度を速めるためにオン電流を十分に高くする必要があるが、カットオフ電流についてはマトリクス回路部用薄膜トランジスタほど低くする必要はなく、一方、マトリクス回路部用薄膜トランジスタの場合、リーク電流を小さくするためにカットオフ電流を十分に低くする必要があるが、オン電流については周辺回路部用薄膜トランジスタほど高くする必要はない。しかしながら、従来のこのようなマトリクス回路駆動装置では、マトリクス回路部用薄膜トランジスタと周辺回路部用薄膜トランジスタとが同一構造となっているので、周辺回路部用薄膜トランジスタのオン電流を十分に高くしてスイッチング速度を速めることを優先させると、マトリクス回路部用薄膜トランジスタ4のカットオフ電流を十分に低くすることができず、このため表示品質が低下するという問題があった。この発明の目的は、周辺回路部用薄膜トランジスタのオン電流を十分に高くすることができると共に、マトリクス回路部用薄膜トランジスタのカットオフ電流を十分に低くすることのできるマトリクス回路駆動装置を提供することにある。

【0004】

【課題を解決するための手段】 この発明は、マトリクス回路部と周辺回路部に形成する薄膜トランジスタをそれぞれドレイン領域が高濃度不純物領域と低濃度不純物領域を有するLDD構造とし、かつ周辺回路部に形成される薄膜トランジスタの低濃度不純物領域の不純物濃度をマトリクス回路部に形成される薄膜トランジスタの低濃度不純物領域の不純物濃度よりも大きくしたものである。

【0005】

【作用】 この発明によれば、周辺回路部に形成される薄膜トランジスタの低濃度不純物領域の不純物濃度をマトリクス回路部に形成される薄膜トランジスタの低濃度不

3

純物領域の不純物濃度よりも大きくしているため、周辺回路部用薄膜トランジスタのオン電流を十分に高くすることができると共に、マトリクス回路部用薄膜トランジスタのカットオフ電流を十分に低くすることができる。

【0006】

【実施例】図1はこの発明の一実施例におけるマトリクス回路駆動装置の要部を示したものである。このマトリクス回路駆動装置では、ガラス等からなる透明基板11の上面の各所定の個所にNMOS薄膜トランジスタからなるマトリクス回路部用薄膜トランジスタ12およびCMOS薄膜トランジスタからなる周辺回路部用薄膜トランジスタ13が設けられている。CMOS薄膜トランジスタからなる周辺回路部用薄膜トランジスタ13はNMOS薄膜トランジスタ14とPMOS薄膜トランジスタ15とからなっている。

【0007】薄膜トランジスタ12、14、15は、透明基板11の上面の各所定の個所にそれぞれパターン形成された半導体薄膜21、22、23を備えている。薄膜トランジスタ12、14、15はLDD(Lightly Doped Drain)構造となっている。すなわち、各薄膜トランジスタ12、14、15の半導体薄膜21、22、23の中央部はチャネル領域21a、22a、23aとされ、その両側は低濃度不純物領域からなるソース・ドレイン領域21b、22b、23bとされ、さらにその両側は高濃度不純物領域からなるソース・ドレイン領域21c、22c、23cとされている。半導体薄膜21、22、23および透明基板11の全表面にはゲート絶縁膜24が形成され、チャネル領域21a、22a、23aに対応する部分のゲート絶縁膜24の上面にはゲート電極25～27がパターン形成されている。ゲート絶縁膜24の上面の所定の個所にはITOからなる透明電極(走査電極および表示電極)28がパターン形成されている。ゲート絶縁膜24、ゲート電極25～27および透明電極28の全表面には層間絶縁膜29が形成されている。高濃度不純物ソース・ドレイン領域21c、22c、23cおよび透明電極28の一端部に対応する部分における層間絶縁膜29およびゲート絶縁膜24にはコンタクトホール30が形成され、これらコンタクトホール30および層間絶縁膜29の上面の所定の個所にはソース・ドレイン電極31がパターン形成されている。この場合、マトリクス回路部用薄膜トランジスタ12における一方のソース・ドレイン電極31は透明電極28の一端部と接続されている。また、CMOS薄膜トランジスタからなる周辺回路部用薄膜トランジスタ13における所定の1つのソース・ドレイン電極31は、NMOS薄膜トランジスタ14とPMOS薄膜トランジスタ15の各一方の高濃度不純物ソース・ドレイン領域22c、23c同士を接続している。

【0008】ところで、このマトリクス回路駆動装置では、周辺回路部用薄膜トランジスタ13を構成するNM.

(3)

特開平5-142577

4

OS薄膜トランジスタ14の低濃度不純物ソース・ドレイン領域22bの不純物濃度がマトリクス回路部用薄膜トランジスタ12の低濃度不純物ソース・ドレイン領域21bの不純物濃度よりも大きくなっているが、これについては後で説明する。

【0009】次に、このマトリクス回路駆動装置の製造方法について図2に示す製造工程を参照しながら説明する。まず、半導体薄膜堆積工程41において、透明基板11の上面全体にプラズマCVD法により半導体薄膜21～23を形成するためのアモルファスシリコン膜を500Å程度の厚さに堆積する。次に、イオン注入工程42において、アモルファスシリコン膜の上面全体にスパッタリング装置を用いてイオン注入用の保護膜となる酸化膜を1400Å程度の厚さに堆積した後、フォトレジストをマスクとしてイオン注入装置により不純物を次のように5回にわたって注入する。第1回目は、マトリクス回路部用薄膜トランジスタ12の低濃度不純物ソース・ドレイン領域21bを形成すべき部分のアモルファスシリコン膜に、リンイオンを加速エネルギー130keV、ドーズ量 1×10^{13} a t m / c m²の条件で注入する。第2回目は、周辺回路部用薄膜トランジスタ13のNMOS薄膜トランジスタ14の低濃度不純物ソース・ドレイン領域22bを形成すべき部分のアモルファスシリコン膜に、リンイオンを加速エネルギー130keV、ドーズ量 5×10^{13} a t m / c m²の条件で注入する。第3回目は、周辺回路部用薄膜トランジスタ13のPMOS薄膜トランジスタ15の低濃度不純物ソース・ドレイン領域23bを形成すべき部分のアモルファスシリコン膜に、ボロンイオンを加速エネルギー40keV、ドーズ量 5×10^{13} a t m / c m²の条件で注入する。第4回目は、マトリクス回路部用薄膜トランジスタ12の高濃度不純物ソース・ドレイン領域21cおよび周辺回路部用薄膜トランジスタ13のNMOS薄膜トランジスタ14の高濃度不純物ソース・ドレイン領域22cを形成すべき部分のアモルファスシリコン膜に、リンイオンを加速エネルギー130keV、ドーズ量 3×10^{16} a t m / c m²の条件で注入する。第5回目は、周辺回路部用薄膜トランジスタ13のPMOS薄膜トランジスタ15の高濃度不純物ソース・ドレイン領域23cを形成すべき部分のアモルファスシリコン膜に、ボロンイオンを加速エネルギー40keV、ドーズ量 1×10^{15} a t m / c m²の条件で注入する。この後、イオン注入用の保護膜としての酸化膜をエッチングして除去する。

【0010】次に、アニール工程43において、XeClエキシマレーザを照射することにより、アモルファスシリコン膜を結晶化してポリシリコン膜とすると共に、注入した不純物を活性化する。次に、アイソレーション工程44において、フォトリソグラフィ技術により不要な部分のポリシリコン膜をエッチングして除去し、透明基板11の上面の各所定の個所に半導体薄膜21、2

(4)

特開平05-142577

2、23をそれぞれパターン形成する。この状態では、既に説明したように、イオン注入工程42において不純物を注入しているので、半導体薄膜21、22、23の中央部はそれぞれチャネル領域21a、22a、23aとされ、その両側は低濃度不純物ソース・ドレイン領域21b、22b、23bとされ、さらにその両側は高濃度不純物ソース・ドレイン領域21c、22c、23cとされている。

【0011】次に、ゲート絶縁膜形成工程45において、全表面にスパッタまたはプラズマCVDにより酸化シリコンあるいは窒化シリコンからなるゲート絶縁膜24を1000~1500Å程度の厚さに堆積する。次に、ゲート電極形成工程46において、チャネル領域21a、22a、23aに対応する部分のゲート絶縁膜24の上面にスパッタリング装置を用いてアルミニウムやクロム等からなるゲート電極25~27を1000Å程度の厚さにパターン形成する。次に、透明電極形成工程47において、ゲート絶縁膜24の上面の所定の個所にスパッタリング装置を用いてITOからなる透明電極28を500Å程度の厚さにパターン形成する。次に、層間絶縁膜形成工程48において、ゲート絶縁膜24、ゲート電極25~27および透明電極28の全表面にプラズマCVD法により窒化シリコンからなる層間絶縁膜29を3000Å程度の厚さに堆積する。次に、ソース・ドレイン電極形成工程49において、高濃度不純物ソース・ドレイン領域21c、22c、23cおよび透明電極28の一端部に対応する部分における層間絶縁膜29およびゲート絶縁膜24にコンタクトホール30を形成した後、これらコンタクトホール30および層間絶縁膜29の上面の所定の個所にスパッタリング装置を用いてアルミニウムからなるソース・ドレイン電極31を5000Å程度の厚さにパターン形成する。かくして、マトリクス回路駆動装置が製造される。

【0012】ところで、LDD構造の薄膜トランジスタでは、低濃度不純物ソース・ドレイン領域の不純物濃度とドレイン電流との関係は図3に示すようになる。この図から明らかなように、オン電流 I_{on} は不純物濃度が增大するに従って大きくなり、不純物濃度Yのところでは最大点近傍に達する。一方、カットオフ電流 I_{off} は不純物濃度X ($X < Y$) のところではほぼ最小となり、これよりも不純物濃度が增大しても減少しても漸次大きくなる。

【0013】しかるに、このマトリクス回路駆動装置では、既に説明したように、第1回目のイオン注入により、マトリクス回路部用薄膜トランジスタ12の低濃度不純物ソース・ドレイン領域21bにリンイオンを加速エネルギー130keV、ドーズ量 $1 \times 10^{13} \text{atm/cm}^2$ の条件で注入し、第2回目のイオン注入により、周辺回路部用薄膜トランジスタ13のNMOS薄膜トランジスタ14の低濃度不純物ソース・ドレイン領域22b

にリンイオンを加速エネルギー130keV、ドーズ量 $5 \times 10^{13} \text{atm/cm}^2$ の条件で注入している。したがって、周辺回路部用薄膜トランジスタ13の低濃度不純物ソース・ドレイン領域22bの不純物濃度はマトリクス回路部用薄膜トランジスタ12の低濃度不純物ソース・ドレイン領域21bの不純物濃度よりも大きくなっている。そこで、周辺回路部用薄膜トランジスタ13の低濃度不純物ソース・ドレイン領域22b、23bの不純物濃度がオン電流 I_{on} の最大点近傍Yとなるようにすると共に、マトリクス回路部用薄膜トランジスタ12の低濃度不純物ソース・ドレイン領域21bの不純物濃度がカットオフ電流 I_{off} のほぼ最小点Xとなるようにすると、周辺回路部用薄膜トランジスタ13のオン電流を十分に高くすることができると共に、マトリクス回路部用薄膜トランジスタ12のカットオフ電流を十分に低くすることができる。

【0014】なお、上記実施例では、透明基板11の上面に半導体薄膜21、22、23を直接設けているが、これに限らず、透明基板11の上面に酸化シリコンまたは窒化シリコンからなる下地層を設け、この下地層の上面に半導体薄膜21、22、23を設けるようにしてもよい。また、1枚の基板でなく、マトリクス回路部12が形成された基板とは別の基板に周辺回路部13を形成するようにしてもよい。また、マトリクス回路部12をPMOS薄膜トランジスタで形成するようにしてもよく、また周辺回路部13をNMOS薄膜トランジスタ14とPMOS薄膜トランジスタ15のいずれか一方のみで形成するようにしてもよい。また、上記実施例ではPMOS薄膜トランジスタを周辺回路部のみに形成し、マトリクス回路部には形成しない構造としたため、周辺回路部に要求される性能を満足するように不純物濃度を決定すればよかったが、マトリクス回路部にPMOS薄膜トランジスタを形成する場合には、やはり周辺回路部の低濃度不純物ソース・ドレイン領域の不純物濃度をマトリクス回路部のそれよりも大きくすればよい。また、上記実施例ではソース領域にも低濃度不純物領域を形成した場合で説明したが、ソース領域には低濃度不純物領域を形成しなくてもよい。さらに、この発明は液晶表示装置に限らず、薄膜トランジスタメモリやイメージセンサ等にも幅広く適用することができる。

【0015】

【発明の効果】以上説明したように、この発明によれば、周辺回路部に形成される薄膜トランジスタの低濃度不純物領域の不純物濃度をマトリクス回路部に形成される薄膜トランジスタの低濃度不純物領域の不純物濃度よりも大きくしているため、周辺回路部用薄膜トランジスタのオン電流を十分に高くすることができると共に、マトリクス回路部用薄膜トランジスタのカットオフ電流を十分に低くすることができ、ひいてはスイッチング速度が速い上、表示品質を向上させることができる。

(5)

特開平05-142577

【図面の簡単な説明】

【図1】 この発明の一実施例におけるマトリクス回路駆動装置の要部の断面図。

【図2】 同マトリクス回路駆動装置の製造工程図。

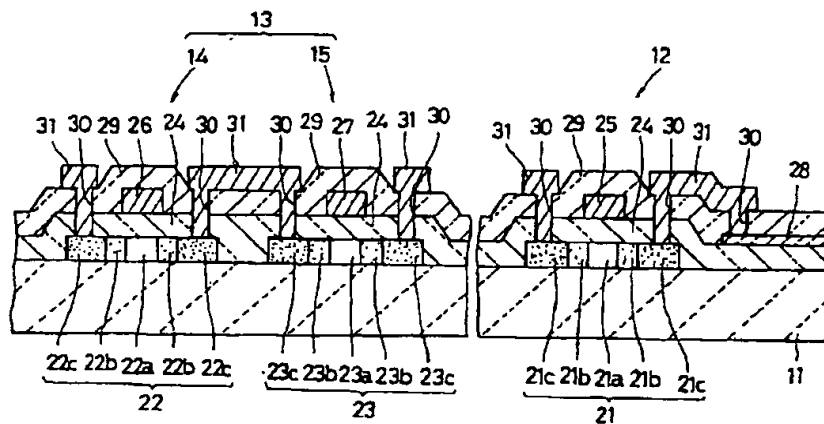
【図3】 LDD構造の薄膜トランジスタにおける低濃度不純物ソース・ドレイン領域の不純物濃度とドレイン電流との関係を示す図。

【図4】 従来のマトリクス回路駆動装置の回路構成の一例を示す図。

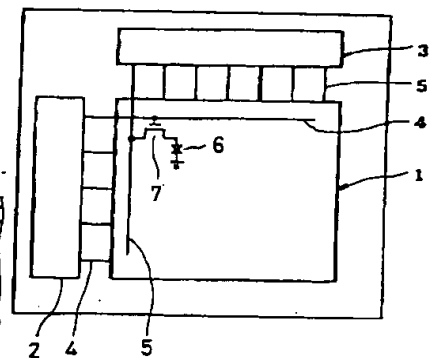
【符号の説明】

- 11 透明基板
- 12 マトリクス回路部用薄膜トランジスタ
- 13 周辺回路部用薄膜トランジスタ
- 21～23 半導体薄膜
- 21a～23a チャンネル領域
- 21b～23b 低濃度不純物ソース・ドレイン領域
- 21c～23c 高濃度不純物ソース・ドレイン領域

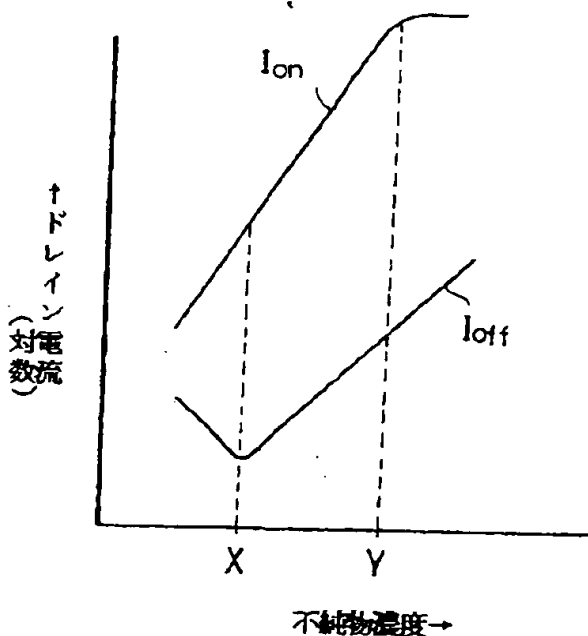
【図1】



【図4】



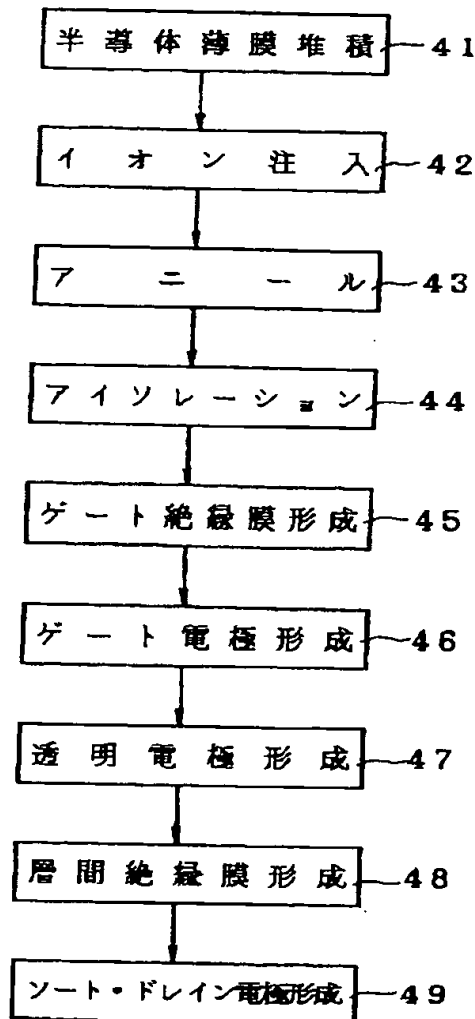
【図3】



(6)

特開平05-142577

【図2】



【手続補正書】

【提出日】平成4年8月24日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】

【発明が解決しようとする課題】従来のこのような薄膜トランジスタデバイスは、マトリクス回路部1を構成する薄膜トランジスタ7と、周辺駆動回路部2、3を構成する薄膜トランジスタとは、同一構造に形成されているものであった。従って、薄膜トランジスタのスイッチング速度、カットオフ電流などのトランジスタの諸特性は同一であった。しかして、近年、アクティブマトリクス

型液晶表示装置は極めて高精細の表示を求められており、マトリクス回路部1および周辺駆動回路部2、3を構成する薄膜トランジスタを膨大な員数に増大する必要性が生じている。しかし、薄膜トランジスタの員数が増加するにつれ、装置全体において消費される消費電流が増大する。この対処として、各薄膜トランジスタ7のカットオフ電流を小さく抑えなければならない。一方、薄膜トランジスタの員数が増大するに依じて各薄膜トランジスタを高速にスイッチングする必要が生じる。しかしながら、薄膜トランジスタは、周知の如く、スイッチング速度を早めるためにはオン電流を増大しなければならず、オン電流の増大は、カットオフ電流を増大する、という特性を有するから、上記2つの要求を満足することはできないものである。この発明の目的は、周辺回路部

(7)

特開平05-142577

用薄膜トランジスタのオン電流を十分に高くすることができると共に、マトリクス回路部用薄膜トランジスタのカットオフ電流を十分に低くすることのできるマトリクス回路駆動装置を提供することにある。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】しかるに、このマトリクス回路駆動装置では、既に説明したように、第1回目のイオン注入により薄膜トランジスタ12の低濃度不純物ソース・ドレイン領域21bにリンイオンを加速エネルギー130keV、ドーズ量 $1 \times 10^{13} \text{ atm/cm}^2$ の条件で注入して

いる。したがって、薄膜トランジスタ14の低濃度不純物ソース・ドレイン領域22bの不純物濃度は薄膜トランジスタ12の低濃度不純物ソース・ドレイン領域21bの不純物濃度よりも大きくなっている。この場合、薄膜トランジスタ14の低濃度不純物ソース・ドレイン領域22bの不純物濃度はオン電流 I_{on} の最大点近傍Yに対応する。また、薄膜トランジスタ12の低濃度不純物ソース・ドレイン領域21bの不純物濃度はカットオフ電 I_{off} の最小点近傍Xに対応する。したがって、周辺回路部用薄膜トランジスタ13を構成するNMOS薄膜トランジスタ14は、そのオン電流 I_{on} が最大、つまり、スイッチング速度が最大になされている。また、マトリクス回路部用薄膜トランジスタ12は、そのカットオフ電流 I_{off} が最小になされている。